Fully integrated CMOS limiting amplifier with offset compensation network 译文：

有偏置补偿网络的全CMOS集成的受限放大器

D.D. Chen, K.S. Yeo, M.A. Do and C.C. Boon

全CMOS集成的限幅放大器已经面世，它的偏置补偿电路的独特性应用完全取消了片外庞大RC元件的应用。限幅放大器的设计采用了0.18umCMOS工艺，并且获得宽带为1.8GHz的40dB增益。在低于1.8V的电压源下工作的功耗总共只有18.39mw。

引言：如今告诉且大存储能力使得可视通讯越来越引人注目。作为可视通讯系统接收机的主要前端模块之一，需要把信号放大到一个充分高的电平，以使时间电路和数据恢复电路可靠工作。经过全面的研究，利用CMOS技术可以做到全集成和低成本。这些设计致力于提高带宽和增益，而把电路的偏置补偿网络放置在片外。最近有报道关于告诉定时的偏置补偿电路。在这份报告中，提议使用一个简单的新的偏置补偿设计来实现全集成的限幅放大器。

限幅放大器的结构：图1中显示了典型的限幅放大器的结构。其中包括基本的NMOS差分放大器，用来提供足够的电压增益以及大的输出摆幅。这些不同的增益级别可以容许有限的偏置电压，这种电压可能会引起后级元件的饱和，更多的比特误码率以及脉冲宽度的畸变。因此有必要来设计一个偏置补偿方案来使这个电压最小。

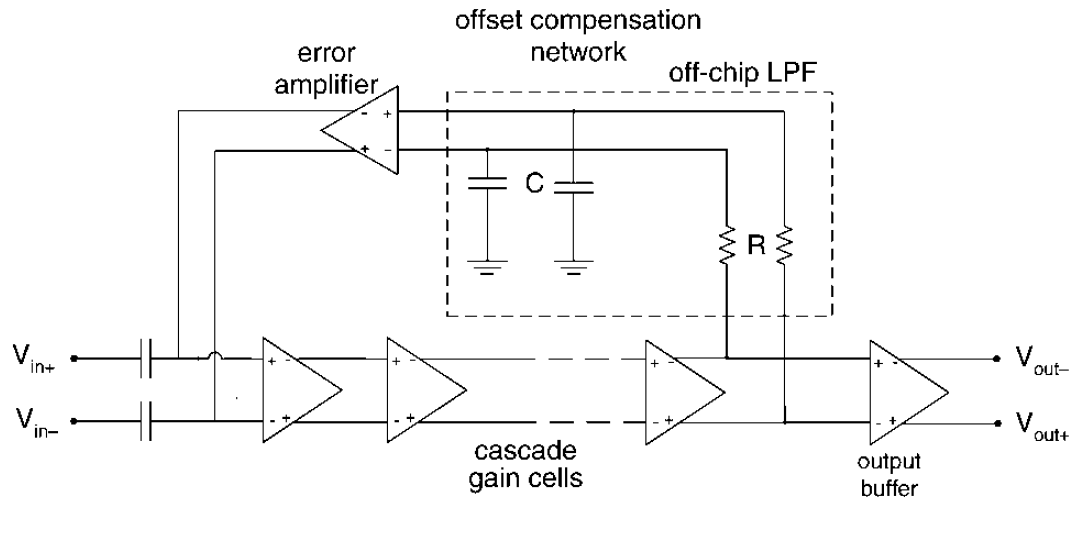
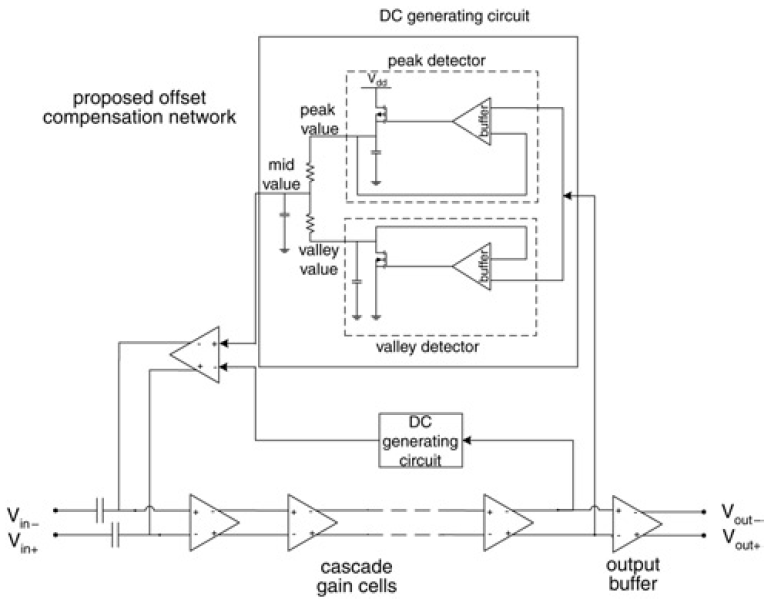


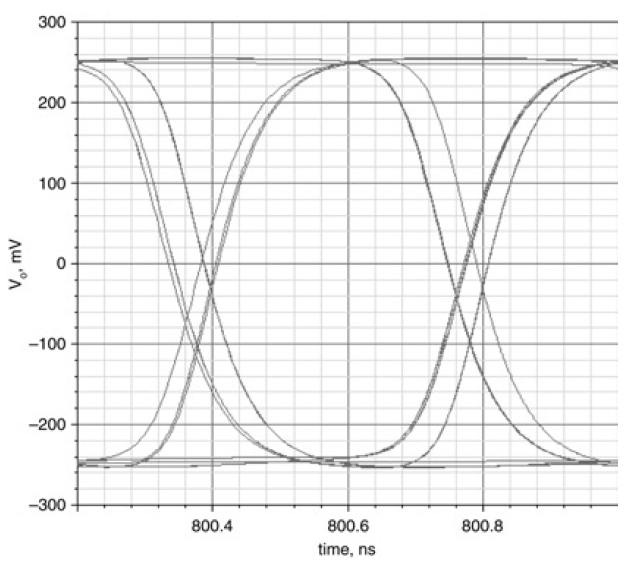
图1. 限幅放大器的典型结构

图1显示了通常的偏置网络在宽带宽的不归零数据串中的应用，其中使用了从限幅放大器的输出端，经过RC低通滤波器和误差放大器，到输入端的反馈回路。这个偏置补偿的设计截止了整个限幅放大器频率响应的低频响应。如果截止频率太高，会导致标准电平偏移以及出现个别数据突变。然而，如果截止频率过低，则又会使得偏置补偿所需的时间增加。这是所不希望出现的矛盾。大多数限幅放大器使用这种设计的都不可避免较长的补偿时间，这是因为在反馈回路中的低通滤波器通常是由片外大电容和电阻实现的，为了获得低的截止频率。

图2中描绘了本文章要推荐的偏置补偿设计方案。在传统的偏置补偿方案中，反馈回路采用的是RC低通滤波器。增益单元的输出失调由差分电压的共模电压决定。假定系统正在处理双极型不归零信号，被处理信号的直流电平即为当前的中值。因此，增益单元关于输出的偏置量可以由两个差分输出量的中值的差值来估计，所以我们推荐使用直流发生电路来感知两个差分输出量的中值的差值，并以此来设计反馈回路。



直流发生电路的设计方案详见参考文献[6]。该电路包括了基本的峰值和谷值探测器，探测信号的峰值和谷值并保存以求得信号的中值。峰值检测器是用一个带有开关MOSFET和一个存储电容的轨到轨缓冲器实现的。这个缓冲器有一对差分输入和一个双电平的单端输出，该输出用来控制下一级的MOSFET的开关状态。如果同相端输入大于反相端输入，意味着储存在电容上的电压高于输入信号。于是，缓冲器输出‘高’信号来关闭下级的PMOS。之后电容上会存储较大值。相反地，如果电容上的电压小于输入信号，缓冲器输出‘低’值来关闭下级PMOS，然后Vdd向电容充电直到电压超过输入信号。因此，输入信号的峰值就被储存了下来。谷值探测器探测器是以相似的工作原理实现的。图2中显示了完整的直流发生电路，用这个电路可以代替传统的低通滤波器。

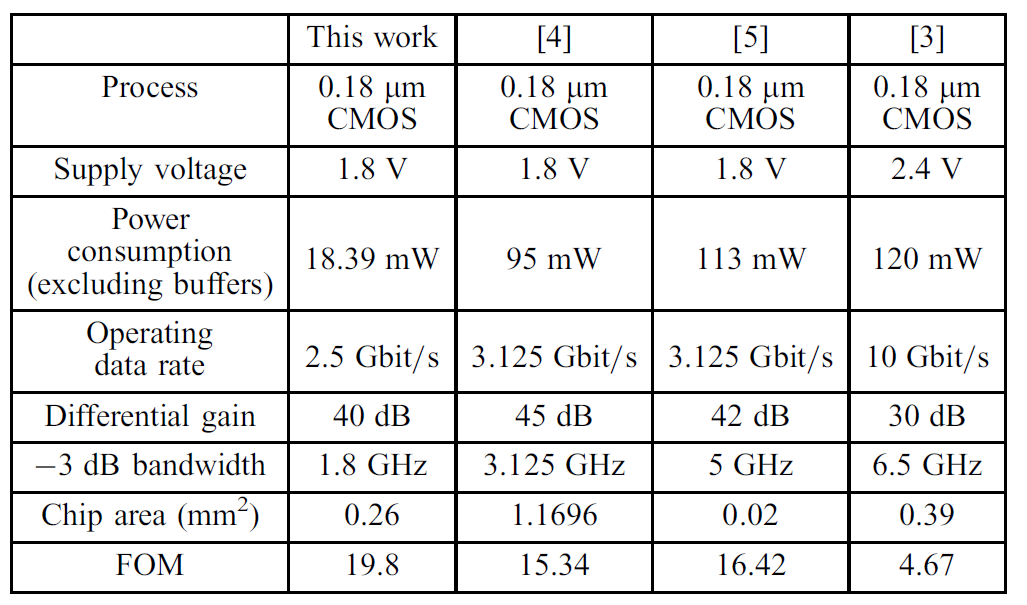


仿真结果与性能比较：推荐的限幅放大器已经优化过并且在基于特许半导体制造有限公司的1.8V/0.18um CMOS工艺上进行了仿真。在1.8V的供电电压的作用下，包括输出缓冲器在内的全部的功率消耗仅有18.39mW。电路可以达到40dB的差模增益以及1.8GHz的-3dB带宽。图3中的眼图表明，限幅放大器在1.25GHz(2.5Gbit/s数据速率)的单音输入信号下可以很好的运行。与其他采用传统偏置补偿的方案相比，推荐的的电路可以不需要片外元件就可实现全部集成电路模块，从而使得版图面积非常小。

FOM=20lg()

=Gain(dB)+20lg()

参数FOM的值表明单位功率消耗与增益带宽的乘积，而且FOM值越大表明在单位消耗功率时电路的性能越好。表1中对比了新电路和[3-5]中报道的电路的性能参数。推荐电路的FOM值是19.8，它是在所有对比的电路设计中是最好的。



结论：一个全新的偏置补偿方案推荐用来实现全集成的限幅放大器。这个简单的偏置电路可以带来版图和功耗效率双方面的好处。

参考文献：

[1] Sa¨ckinger, E., and Fischer, W.C.: ‘A 3 GHz 32 dB CMOS limiting amplifier for SONET OC-48 receivers’, IEEE J. Solid-State Circuits,2000, 35, (12), pp. 1884–1888

[2] Galal, S., and Razavi, B.: ‘10 Gb=s limiting amplifier and laser=modulator driver in 0.18 mm CMOS technology’. Int. Symp. on Solid-State Circuits Conf., Estoril, Portugal, February 2003, pp. 188–189

[3] Tao, R., and Berroth, M.: ‘10 Gb=s CMOS limiting amplifier for optical links’. Proc. ESSCIRC, Estoril, Portugal, September 2003, pp. 285–287

[4] Wu, H.M., and Yang, C.Y.: ‘A 3.125-GHz limiting amplifier for optical receiver system’. IEEE Circuit and Systems, APCCAS, Singapore,December 2006, pp. 210–213

[5] Crain, E.A., and Perrott, M.H.: ‘A 3.125 Gb=s limit amplifier in CMOS with 42 dB gain and 1us offset compensation’, IEEE J. Solid-State Circuits, 2006, 41, (2), pp. 443–451

[6] Baker, R.J., Li, H.W., and Boyce, D.E.: ‘CMOS circuit design, layout,and simulation’ (IEEE Press Series on Microelectronic Systems, 2004,pp. 538–540)

[7] Wu, C.H., Liao, J.W., and Liu, S.I.: ‘A 1 V 4.2 mW fully integrated2.5 Gb=s CMOS limiting amplifier using folded active inductor’. IEEEISCAS, Vancouver, Canada, May 2004, Vol. 1, pp. 1044–1047